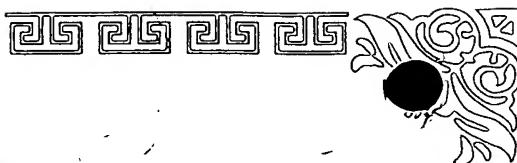
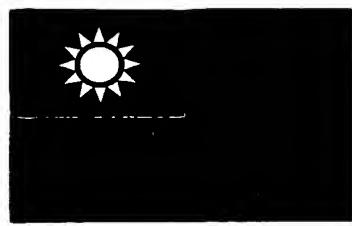


SCF7232

10/055,567



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 10 月 05 日  
Application Date

申請案號：090124630  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

RECEIVED  
MAY 20 2002  
Technology Center 2100

局長  
Director General

陳明邦

發文日期：西元 2002 年 1 月 31 日  
Issue Date

發文字號：09111001756  
Serial No.

|      |  |
|------|--|
| 申請日期 |  |
| 案號   |  |
| 類別   |  |

A4  
C4

(以上各欄由本局填註)

## 發明型專利說明書

|                  |               |                     |
|------------------|---------------|---------------------|
| 一、發明<br>新型<br>名稱 | 中文            | 晶片匯流排介面的時序調整裝置及其方法  |
|                  | 英文            |                     |
| 二、發明<br>人<br>創作  | 姓名            | 1 郭宏益<br>2 林益明      |
|                  | 國籍            | 中華民國                |
|                  | 住、居所          | 台北縣新店市中正路 533 號 8 樓 |
| 三、申請人            | 姓名<br>(名稱)    | 威盛電子股份有限公司          |
|                  | 國籍            | 中華民國                |
|                  | 住、居所<br>(事務所) | 台北縣新店市中正路 533 號 8 樓 |
|                  | 代表人<br>姓名     | 王雪紅                 |

裝  
訂  
線

四、中文發明摘要（發明之名稱： 晶片匯流排介面的時序調整裝置及其方法）

一種晶片匯流排介面的時序調整裝置及其方法，此調整裝置包括：加減裝置、相位鎖住迴路裝置、特別波形產生裝置及週期時序協定裝置，其中加減裝置用來增減相位調整信號，相位鎖住迴路裝置用來依據相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號，週期時序協定裝置係當在調整晶片匯流排介面時，產生特定之週期時序，以輸出預定期序信號，而特別波形產生裝置係在特定之週期時序時，用來輸出特別樣型信號。本發明重複調整並依據相位偏移時脈信號，來推動並比較特別樣型信號，以獲得最佳之介面時序。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝  
訂  
線

英文發明摘要（發明之名稱： ）

## 五、發明說明(一)

本發明是有關於一種晶片匯流排介面，且特別是有關於一種晶片匯流排介面的時序調整裝置及方法。

現今電路板的複雜程度比以往有過之而無不及，因此裝置之間需要作電路板的佈線設計(trace layout)時，裝置之間的時序信號並不是很容易處理。一般是由晶片廠商規定一個交流時序(AC timing)，但因為實際狀況會因為晶片的製程、佈線上的不同以及製造 PCB 板的不同，而有所差異。

以電腦為例，電腦系統大都至少包括：中央處理單元、北橋裝置以及南橋裝置，其中中央處理單元連接至北橋裝置，而南橋裝置主要控制周邊裝置，且北橋裝置也控制高速的動態隨機存取記憶體，南橋裝置與北橋裝置透過高速自有匯流排耦接在一起，所以當南橋裝置與北橋裝置之間做存取資料動作時，若電路在佈局過程中處理不當，南橋裝置與北橋裝置的內部時脈會有所偏差，往往會使得南橋裝置與北橋裝置在存取資料過程中產生錯誤，造成系統上的不穩定。但目前一般北橋裝置及南橋裝置根本無法做時序與驅動強化信號的調整。

有鑑於此，本發明提供一種晶片匯流排介面的時序調整裝置及其方法，找出晶片匯流排介面操作時最佳之相位調整信號，這樣二個裝置之間存取資料時就會穩定，不用將電路板重新佈局就可以使用，可以節省成本上的浪費以及重新製作晶片匯流排介面的時間。

本發明提供一種控制晶片組，包括第一控制晶片以

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(二)

及第二控制晶片，其間用匯流排連接在一起。第一與第二控制晶片都包括有各自的晶片匯流排介面，用以栓鎖與緩衝第一或第二控制晶片與該匯流排之間的訊號。第一控制晶片更包括有時序調整裝置，耦接至第一控制晶片內之晶片匯流排介面，用以控制第一控制晶片之晶片匯流排介面，來調整第一控制晶片與匯流排送收訊號時之時序，此時序調整裝置至少包括：週期時序協定裝置(Cycle Protocol Device)、特別波形產生裝置(Special Pattern Device)、加減裝置、相位鎖住迴路裝置(Phase Lock Loop，簡稱 PLL)。而第二控制晶片更包括有特別波形比較產生裝置。

當在調整第一控制晶片之晶片匯流排介面的時序時，上述週期時序協定裝置，產生特定之週期時序，以輸出預定時序信號。而特別波形產生裝置耦接至週期時序協定裝置及第一控制晶片之晶片匯流排介面，用以接受預定時序信號，以在特定之週期時序時，輸出特別樣型信號至第一控制晶片之晶片匯流排介面。上述加減裝置係用以增減相位調整信號。上述相位鎖住迴路裝置耦接至加減裝置及第一控制晶片之晶片匯流排介面，其係用於接收相位調整信號及內部時脈信號，此相位鎖住迴路裝置依據相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號，使第一控制晶片之晶片匯流排介面根據此相位偏移時脈信號，以調整並驅動特別樣型信號至匯流排。

上述特別波形比較裝置耦接至第二控制晶片之晶片匯流排介面，當在調整第一控制晶片之晶片匯流排介面

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

訂

線

## 五、發明說明(3)

時，第一控制晶片重複複數次增減並送出相位調整信號，進而使第一控制晶片之晶片匯流排介面重複複數次調整並驅動特別樣型信號至匯流排，而第二晶片之晶片匯流排介面接收匯流排上之信號，並由特別波形比較裝置判斷信號與特別樣型信號是否一致或錯誤，以獲得第一控制晶片之晶片匯流排介面操作時最佳之相位調整信號。

本發明更提供一種晶片匯流排介面的時序調整方法，係用於調整第一控制晶片之晶片匯流排介面的時序，此晶片匯流排介面耦接至匯流排，而匯流排又耦接至第二控制晶片，第二控制晶片亦包括有晶片匯流排介面，此時序調整方法包括下列步驟：首先送出相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號；接著依據特定之週期時序，輸入第一特別樣型信號至第一控制晶片之晶片匯流排介面；然後第一控制晶片之晶片匯流排介面根據此相位偏移時脈信號，以調整並驅動第一特別樣型信號至匯流排；接下來，第二控制晶片之晶片匯流排介面接收匯流排上之信號，此第二控制晶片並比較是否正確接收第一特別樣型信號；以及重複複數次增減並送出相位調整信號，以獲得晶片匯流排介面操作時最佳之該相位調整信號。

上述的時序調整方法主要調整第一控制晶片送出資料至第二控制晶片時之時序，同理可推，第一控制晶片接收第二控制晶片之資料時的時序，可包括下列步驟：依據特定之週期時序，第二控制晶片之晶片匯流排介面驅動第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

二特別樣型信號至匯流排；而第一控制晶片之晶片匯流排介面根據相位偏移時脈信號，以調整並栓鎖匯流排上之信號，此第一控制晶片並比較是否正確接收第二特別樣型信號。

本發明也提供一種北橋控制晶片，其經由匯流排耦接至南橋控制晶片，包括有晶片匯流排介面以及時序調整裝置。其中晶片匯流排介面係耦接至匯流排，用以栓鎖與緩衝北橋控制晶片與南橋控制晶片之間的訊號。而時序調整裝置係耦接至上述晶片匯流排介面，用以控制晶片匯流排介面，來調整北橋控制晶片組與匯流排送收訊號時之時序。本發明之時序調整裝置至少包括：週期時序協定裝置、特別波形產生裝置、加減裝置以及相位鎖住迴路裝置。

上述週期時序協定裝置係用以當在調整北橋控制晶片之晶片匯流排介面的時序時，產生特定之週期時序，以輸出預定時序信號。而特別波形產生裝置係耦接至週期時序協定裝置及北橋控制晶片之晶片匯流排介面，用以接受預定時序信號，以在特定之週期時序時，接收北橋控制晶片之晶片匯流排介面之特別樣型信號。至於加減裝置是用以增減相位調整信號。上述相位鎖住迴路裝置耦接至加減裝置及北橋控制晶片之晶片匯流排介面，其係用於接收相位調整信號及內部時脈信號，相位鎖住迴路裝置依據相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號。而北橋控制晶片之晶片匯流排介面根據相位偏移時脈信號，以調整並驅動匯流排上之信號，使成為上述特別樣

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

型信號。

當在調整北橋控制晶片之晶片匯流排介面時，北橋控制晶片重複複數次增減並送出相位調整信號，進而使北橋控制晶片之晶片匯流排介面重複複數次調整並驅動匯流排上之信號，並由北橋控制晶片之晶片匯流排介面所接收之特別樣型信號是否錯誤，以獲得北橋控制晶片之晶片匯流排介面操作時最佳之相位調整信號。

本發明所提供之晶片匯流排介面的時序調整裝置及其方法，可以有效的解決因電路在佈局過程中處理不當時，造成系統上的不穩定，這樣就不用將電路板重新佈局便可以使用，可以節省成本上的浪費以及重新製作晶片匯流排介面的時間。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 圖式之簡單說明

第 1 圖繪示係根據本發明之較佳實施例之控制晶片組連接系統；以及

第 2 圖繪示係根據本發明之一較佳實施例之晶片匯流排介面的調整方法之流程圖。

### 標號說明

100：北橋控制晶片

101、103：晶片匯流排介面

102、104：調整裝置

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (6)

106、108:加減裝置

110、112:相位鎖住迴路裝置

114、116、130、132:延遲暫存器

118、134:特別波形產生裝置

122、124、126、128:緩衝器

120、136:週期時序協定裝置

138、139:驅動強化控制器

150：南橋控制晶片

CLK:內部時脈信號

N: N 信號

### 較佳實施例

請參考第 1 圖，圖中係繪示本發明之較佳實施例之控制晶片組連接系統，包括：調整裝置 102 及 104、晶片匯流排介面 101 及 103。其中調整裝置 102 耦接至晶片匯流排介面 101，本實施例中調整裝置 102 與晶片匯流排介面 101 屬於北橋控制晶片 100。晶片匯流排介面 101 透過晶片間特殊之高速匯流排耦接至晶片匯流排介面 103，調整裝置 104 耦接至晶片匯流排介面 103 本實施例中調整裝置 104 與晶片匯流排介面 103 屬於南橋控制晶片 150。眾所皆知，北橋控制晶片 100 與南橋控制晶片 150 合稱控制晶片組。

本實施例之調整裝置 102 包括：二個加減裝置 106 及 108、二個相位鎖住迴路裝置 110 及 112、特別波形產生裝置 118 以及週期時序協定裝置 120。其調整裝置 102

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

連接方式為：特別波形產生裝置 118 耦接到週期時序協定裝置 120 及晶片匯流排介面 101，相位鎖住迴路裝置 110 耦接至加減裝置 106 及晶片匯流排介面 101，相位鎖住迴路裝置 112 耦接到加減裝置 108 及晶片匯流排介面 101。

本實施例之晶片匯流排介面 101 包括：二個栓鎖器 114 及 116、二個緩衝器 122 及 124 以及驅動強化控制器 138。其中晶片匯流排介面 101 連接方式為：栓鎖器 116 耦接特別波形產生裝置 118 及相位鎖住迴路裝置 112，栓鎖器 114 耦接特別波形產生裝置 118 及相位鎖住迴路裝置 110，緩衝器 124 耦接栓鎖器 116 及晶片匯流排介面 103，緩衝器 122 耦接栓鎖器 118 及晶片匯流排介面 103。

本實施例之晶片匯流排介面 103 包括：二個栓鎖器 132 及 130、二個緩衝器 128 及 126 以及驅動強化控制器 139。其中晶片匯流排介面 103 連接方式為：栓鎖器 132 耦接特別波形產生裝置 134、及緩衝器 128，栓鎖器 130 耦接特別波形產生裝置 118 及緩衝器 126，驅動強化控制器 139 耦接緩衝器 126，緩衝器 128 耦接至緩衝器 124，緩衝器 139 耦接至緩衝器 122。

本實施例之調整裝置 104 包括：特別波形產生裝置 134 以及週期時序協定裝置 136，且特別波形產生裝置 134 耦接至週期時序協定裝置 136 以及晶片匯流排介面 103 之栓鎖器 132 及栓鎖器 130。

在調整晶片匯流排介面 101 的寫入資料到晶片匯流排介面 103 的時序時候，週期時序協定裝置 120 會去產生

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (8)

特定之週期時序，並輸出預定時序信號到特別波形產生裝置 118。當特別波形產生裝置 118 接收到預定時序信號時，就會依照特定之週期時序，輸出第一特別樣型信號到晶片匯流排介面 101 的栓鎖器 118，例如：週期時序協定裝置 120 去設定特定之週期時序為三個時脈週期，特別波形產生裝置 118 就會每隔三個時脈週期輸出第一特別樣型信號到晶片匯流排介面 101 的栓鎖器 116。

另一方面當相位鎖住迴路裝置 112 接收到加減裝置 108 所輸出的相位調整信號及內部時脈信號時，相位鎖住迴路裝置 112 會依據相位調整信號以及 N 信號，來做偏移內部時脈信號的動作，然後再輸出相位偏移時脈信號到晶片匯流排介面 101 的栓鎖器 116，晶片匯流排介面 101 的栓鎖器 116 以相位偏移時脈信號為時序，以適當驅動第一特別樣型信號產生新特別樣型信號並輸出到緩衝器 124，其中，N 信號係用來決定偏移內部時脈信號每一次的相位值，如  $N=3$  時，此時偏移的相位值 = 內部時脈信號 /  $2^3$ ，故可以得到相位偏移時脈信號 = 內部時脈信號 + 內部時脈信號 /  $2^3$ 。

當緩衝器 124 接收到新特別樣型信號時，利用驅動強化控制器 138 輸出驅動強化信號來控制緩衝器 124 的驅動能力，來調整新特別樣型信號的上升緣及下降緣之斜率，再輸出到另一晶片之晶片匯流排介面 103 之緩衝器 128，其中熟知此技藝者可以利用驅動強化控制器 126 由大到小或由小到大來調整驅動強化信號的強度，找到最佳

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (9)

的驅動強化信號。

當緩衝器 128 接收到新特別樣型信號後，經由移位器 132 產生第二特別樣型信號。此時週期時序到特別波形會去產生特定之週期時序，並輸出預定形產生裝置 134。到預定時序信號時，

當特別波形產生裝置 134 接收第二特別樣型信號。在接收就會依照特定之週期時序，波形產生裝置 134 會去比較第二特別樣型信號後，特此是否錯誤，來判斷目前所設所接收到的第二特別樣型。若目前所設定的時序結果信號定的時序是否可正常運作，利用偏移時脈信號為基準點，利用可正常運作時，就以調整信號的增減使得相位偏移時脈加減裝置 108 控制以上動作，一直到特別波形產生裝置信號向左偏移，第二特別樣型信號發生錯誤後，再回到基準點 134。接收之第二特別樣型信號發生錯誤後，其中二個裝置 134 樣型信號發生錯誤的時序之間的距離，就是安全第二特偏移時脈信號範圍。

的相例如：設定  $N=3$  時，加減裝置 108 增加相位調整信

使得相位偏移時脈信號向左偏移，一直到相位調整信號增加 4 時，特別波形產生裝置 134 接收之第二特別樣型信號就發生錯誤，再回到基準點，此時加減裝置 108 減少相位調整信號，使得相位偏移時脈信號向右偏移，一直到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (10)

相位調整信號減少到 4 時，特別波形產生裝置 122 接收之第二特別樣型信號就發生錯誤。由以上所述，可以計算出安全的相位偏移時脈信號範圍為  $[-4/2^3 \text{ 的內部時脈信號} \text{ 到 } 4/2^3 \text{ 的內部時脈信號}]$ ，其中 4 代表的是總共偏移之相位值，3 代表的是每一次偏移之相位值。而熟知此技藝者可利用不同基準點及不同的偏移方式，在不失此原則下自由的發揮找到安全的相位偏移時脈信號範圍。

其中本實施例採用特別波形產生裝置 134 之樣型比較裝置(未繪示)，在特定之週期時序時，接收第二特別樣型信號，並比較第二特別樣型信號以及樣型比較裝置之內部特別樣型信號，當獲得晶片匯流排介面 101 及晶片之晶片匯流排介面 103 操作時最佳之該相位調整信號時，鎖住晶片匯流排介面 103，以告知已找到安全的相位偏移時脈信號範圍，熟悉此技藝者可知第一特別樣型信號與內部特別樣型信號為相同的信號。

本發明另外提供在調整晶片匯流排介面 101 從晶片匯流排介面 103 讀出資料的時序時的調整裝置。

當在調整晶片匯流排介面 101 從晶片匯流排介面 103 讀出資料的時序時，週期時序協定裝置 136 同時會去產生特定之週期時序，並輸出預定時序信號到特別波形產生裝置 134。當特別波形產生裝置 134 接收到預定時序信號時，就會依照特定之週期時序，輸出第一特別樣型信號經由栓鎖器 130 到緩衝器 126。

當緩衝器 126 接收到第一特別樣型信號時，利用驅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(II)

動強化控制器 139 輸出驅動強化信號來控制緩衝器 126 的驅動能力，來調整新特別樣型信號的上升緣及下降緣之斜率，產生結果信號後，再經由另一晶片之晶片匯流排介面 101 之緩衝器 122 輸出到栓鎖器 114，其中熟知此技藝者可以利用驅動強化控制器 139 由大到小或由小到大來調整驅動強化信號的強度，找到最佳的驅動強化信號。

另一方面，加減裝置 106 輸出相位調整信號至相位鎖住迴路裝置，當相位鎖住迴路裝置 110 接收到相位調整信號及內部時脈信號時，相位鎖住迴路裝置 110 會依據相位調整信號以及 N 信號，來做偏移內部時脈信號的動作，然後再輸出相位偏移時脈信號到晶片匯流排介面 101 的栓鎖器 114。晶片匯流排介面 101 的栓鎖器 114 就會以相位偏移時脈信號為時序，以適當驅動結果信號產生第二特別樣型信號。

在調整晶片匯流排介面 101 從晶片匯流排介面 103 讀出資料的時序時候，週期時序協定裝置 120 同時會去產生特定之週期時序，並輸出預定時序信號到特別波形產生裝置 118。當特別波形產生裝置 118 接收到預定時序信號時，就會依照特定之週期時序，接收第二特別樣型信號。例如：週期時序協定裝置 120 去設定特定之週期時序為三個時脈週期，特別波形產生裝置 118 就會每隔三個時脈週期接收第二特別樣型信號到晶片匯流排介面 101 的栓鎖器 114。

此時特別波形產生裝置 118 接收之第二特別樣型信

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

線

## 五、發明說明 (1/2)

號後，利用所接收的第二特別樣型信號是否有誤，來判斷目前所設定的時序是否可正常運作，若目前所設定的時序可正常運作，就以此相位偏移時脈信號為基準點，利用加減裝置 106 控制相位調整信號的增減使得相位偏移時脈信號向左偏移，重複以上動作，一直到特別波形產生裝置 118 接收之第二特別樣型信號發生錯誤後，再回到基準點利用加減裝置 106 控制相位調整信號的增減使得相位偏移時脈信號向右偏移，重複以上動作，一直到特別波形產生裝置 118 接收之第二特別樣型信號發生錯誤後，其中二個第二特別樣型信號發生錯誤的時序之間的距離，就是安全的相位偏移時脈信號範圍。例如：設定  $N=3$  時，加減裝置 106 增加相位調整信號，使得相位偏移時脈信號向左偏移，一直到相位調整信號增加 4 時，特別波形產生裝置 118 接收之第二特別樣型信號就發生錯誤，再回到基準點，此時加減裝置 106 減少相位調整信號，使得相位偏移時脈信號向右偏移，一直到相位調整信號減少到 4 時，特別波形產生裝置 118 接收之第二特別樣型信號就發生錯誤。由以上所述，可以計算出安全的相位偏移時脈信號範圍為  $[-4/2^3 \text{ 的內部時脈信號} \text{ 到 } 4/2^3 \text{ 的內部時脈信號}]$ ，其中 4 代表的是總共偏移之相位值，3 代表的是每一次偏移之相位值。而熟知此技藝者可利用不同基準點及不同的偏移方式，在不失此原則下自由的發揮找到安全的相位偏移時脈信號範圍。

上述實施例中，以北橋控制晶片為主控制晶片，而

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (13)

以南橋控制晶片為僕控制晶片，則時序調整裝置及方法主要針對主控制晶片(亦即北橋控制晶片)，但熟悉此技藝者當可知曉，亦可將南橋控制晶片做為主控制晶片，而以北橋控制晶片為僕控制晶片，那主要就針對南橋控制晶片做時序調整。

由以上的裝置的流程可以歸納出調整讀出資料的時序之方法，以及在調整寫入資料的時序之方法。請參考第2圖，圖中係繪示一較佳實施例之晶片匯流排介面的調整方法流程圖，此實施例之一種晶片匯流排介面的時序調整方法係用於調整第一控制晶片之晶片匯流排介面的時序，此晶片匯流排介面耦接至匯流排，而匯流排耦接至第二控制晶片，此第二控制晶片亦包括有晶片匯流排介面，本發明之時序調整方法包括下列步驟：

首先執行步驟 S200 送出相位調整信號，接著執行步驟 S202 依據相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號，並執行步驟 S204 依據特定的週期時序，輸入第一特別樣型信號到第一控制晶片之晶片匯流排介面，當第一控制晶片之晶片匯流排介面接收到相位偏移時脈信號以及特別樣型信號之後，執行步驟 S206 第一控制晶片之晶片匯流排介面根據相位偏移時脈信號，以適當第一驅動特別樣型信號並經匯流排輸出到另一晶片(第二控制)之晶片匯流排介面。

最後執行步驟 S208，第二控制晶片之晶片匯流排介面接收匯流排上之信號，此第二控制晶片並比較是否正確

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (14)

接收第一特別樣型信號，重複複數次執行步驟 S210 增減並送出相位調整信號，以獲得晶片匯流排介面操作時最佳之相位調整信號。亦即步驟 S208 就在判斷是否為最佳相位偏移時脈信號，若不是最佳相位偏移時脈信號，就去執行步驟 S210，增減相位調整信號，重複上述步驟，直到獲得晶片匯流排介面操作時最佳的相位調整信號為止。

熟悉此技藝者知曉，本發明之晶片匯流排介面的時序調整方法，也可以依據特定之週期時序，第二控制晶片之晶片匯流排介面驅動第二特別樣型信號至匯流排。而第一控制晶片之晶片匯流排介面根據相位偏移時脈信號，以調整並栓鎖匯流排上之信號，第一控制晶片並比較是否正確接收第二特別樣型信號。再重複複數次增減並送出相位調整信號，以獲得晶片匯流排介面操作時最佳之相位調整信號。

本發明的優點可以修正晶片與晶片之間的時脈信號差距、CPU 設計、PCB 佈線圖、SMT 等時脈偏差的缺點，利用本發明來作時序控制，這樣各式各樣的裝置都可以修正好，不需要人工來作調整。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1. 一種晶片匯流排介面的時序調整裝置，係用於調整第一晶片之該晶片匯流排介面的時序，該晶片匯流排介面耦接至一匯流排，而該匯流排耦接至一第二晶片，該第二晶片亦包括一晶片匯流排介面，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該第一晶片之該晶片匯流排介面的時序時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該第一晶片之該晶片匯流排介面，用以接受該預定時序信號，以在特定之週期時序時，輸出一特別樣型信號至該第一晶片之該晶片匯流排介面；

一加減裝置，用以增減一相位調整信號；以及

一相位鎖住迴路裝置，耦接至該加減裝置及該第一晶片之該晶片匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該第一晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並驅動該特別樣型信號至該匯流排；

當在調整該第一晶片之該晶片匯流排介面時，該第一晶片重複數次增減並送出該相位調整信號，進而使該第一晶片之該晶片匯流排介面重複數次調整並驅動該特別樣型信號至該匯流排，並由該第二晶片之該晶片匯流排介面所接收之該特別樣型信號錯誤與否，以獲得該第一晶片之該晶片匯流排介面操作時最佳之該相位調整信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

2.如申請專利範圍第1項所述之晶片匯流排介面的時序調整裝置，其中該第一晶片之該晶片匯流排介面包括：

一栓鎖器，耦接該特別波形產生裝置及該相位鎖住迴路裝置，用以暫存該特別樣型信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出一調整後之特別樣型信號；以及

一緩衝器，耦接該栓鎖器，用以接收該調整後之特別樣型信號，加強該調整後之特別樣型信號之電流，並輸出該調整後之特別樣型信號至該匯流排。

3.如申請專利範圍第2項所述之晶片匯流排介面的時序調整裝置，其中該晶片匯流排介面更包括：

一驅動強化控制器，耦接至該緩衝器，係用於輸出一驅動強化信號以控制該緩衝器之驅動能力。

4.如申請專利範圍第1項所述之晶片匯流排介面的時序調整裝置，其中該相位鎖住迴路裝置更接收一N信號，用以決定偏移該內部時脈信號一次之相位值。

5.一種主控制晶片，其經由一匯流排耦接至一僕控制晶片，包括：

一晶片匯流排介面，耦接至該匯流排，用以栓鎖與緩衝該主控制晶片與該僕控制晶片之間的訊號；以及

一時序調整裝置，耦接至該晶片匯流排介面，用以控制該晶片匯流排介面，來調整該主控制晶片組與該匯流排接收訊號時之時序，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該主控制

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

晶片之該晶片匯流排介面的時序時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該主控制晶片之該晶片匯流排介面，用以接受該預定時序信號，以在特定之週期時序時，輸出一特別樣型信號至該主控制晶片之該晶片匯流排介面；

一加減裝置，用以增減一相位調整信號；以及

一相位鎖住迴路裝置，耦接至該加減裝置及該主控制晶片之該晶片匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該主控制晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並驅動該特別樣型信號至該匯流排；

當在調整該主控制晶片之該晶片匯流排介面時，該主控制晶片重複複數次增減並送出該相位調整信號，進而使該晶片匯流排介面重複複數次調整並驅動該特別樣型信號至該匯流排，並由該僕控制晶片所接收之該特別樣型信號錯誤與否，以獲得該主控制晶片之該晶片匯流排介面操作時最佳之該相位調整信號。

6.如申請專利範圍第5項所述之主控制晶片，其中該主控制晶片之該晶片匯流排介面包括：

一栓鎖器，耦接該特別波形產生裝置及該相位鎖住迴路裝置，用以暫存該特別樣型信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出一調整

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

後之特別樣型信號；以及

一緩衝器，耦接該栓鎖器，用以接收該調整後之特別樣型信號，加強該調整後之特別樣型信號之電流，並輸出該調整後之特別樣型信號至該匯流排。

7.如申請專利範圍第 6 項所述之主控制晶片，其中該晶片匯流排介面更包括：

一驅動強化控制器，耦接至該緩衝器，係用於輸出一驅動強化信號以控制該緩衝器之驅動能力。

8.如申請專利範圍第 5 項所述之主控制晶片，其中該主控制晶片係為北橋控制晶片，該僕控制晶片係為南橋控制晶片。

9.一種控制晶片組，包括：

一第一控制晶片，耦接至一匯流排，包括：

一晶片匯流排介面，耦接至該匯流排，用以栓鎖與緩衝該第一控制晶片與該匯流排之間的訊號；以及

一時序調整裝置，耦接至該第一控制晶片之該晶片匯流排介面，用以控制該第一控制晶片之該晶片匯流排介面，來調整該第一控制晶片與該匯流排送收訊號時之時序，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該第一控制晶片之該晶片匯流排介面的時序時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該第一控制晶片之該晶片匯流排介面，用以接

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

受該預定期序信號，以在特定之週期時序時，輸出一特別樣型信號至該第一控制晶片之該晶片匯流排介面；

一加減裝置，用以增減一相位調整信號；  
以及

一相位鎖住迴路裝置，耦接至該加減裝置及該第一控制晶片之該晶片匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該第一控制晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並驅動該特別樣型信號至該匯流排；以及

一第二控制晶片，耦接至該匯流排，包括：

一晶片匯流排介面，耦接至該匯流排，用以栓鎖與緩衝該第二控制晶片組與該匯流排之間的訊號；以及

一特別波形比較裝置，耦接至該第二控制晶片之該晶片匯流排介面，當在調整該第一控制晶片之該晶片匯流排介面時，該第一控制晶片重複複數次增減並送出該相位調整信號，進而使該第一控制晶片之該晶片匯流排介面重複複數次調整並驅動該特別樣型信號至該匯流排，該第二控制晶片之該晶片匯流排介面接收該匯流排上之信號，並由該特別波形比較裝置判斷接收之信號與該特別樣型信號是否錯誤，以獲得該第一控制晶片之該晶片匯流排介面操作時最佳之該相位調整信號。

10.如申請專利範圍第 9 項所述之控制晶片組，其中

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

該第一控制晶片之該晶片匯流排介面包括：

一栓鎖器，耦接該特別波形產生裝置及該相位鎖住迴路裝置，用以暫存該特別樣型信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出一調整後之特別樣型信號；以及

一緩衝器，耦接該栓鎖器，用以接收該調整後之特別樣型信號，加強該調整後之特別樣型信號之電流，並輸出該調整後之特別樣型信號至該匯流排。

11.如申請專利範圍第 10 項所述之控制晶片組，其中該第一控制晶片之該晶片匯流排介面更包括：

一驅動強化控制器，耦接至該緩衝器，係用於輸出一驅動強化信號以控制該緩衝器之驅動能力。

12.一種晶片匯流排介面的時序調整方法，係用於調整一第一控制晶片之該晶片匯流排介面的時序，該晶片匯流排介面耦接至一匯流排，而該匯流排耦接至一第二控制晶片，該第二控制晶片亦包括一晶片匯流排介面，該時序調整方法包括下列步驟：

送出一相位調整信號，來偏移一內部時脈信號，以輸出一相位偏移時脈信號；

依據特定之週期時序，輸入一第一特別樣型信號至該第一控制晶片之該晶片匯流排介面；

該第一控制晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並驅動該第一特別樣型信號至該匯流排；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

該第二控制晶片之該晶片匯流排介面接收該匯流排上之信號，該第二控制晶片並比較是否正確接收該第一特別樣型信號；以及

重複複數次增減並送出該相位調整信號，以獲得該晶片匯流排介面操作時最佳之該相位調整信號。

13.如申請專利範圍第 12 項所述之晶片匯流排介面的時序調整方法，更包括下列步驟：

依據特定之週期時序，該第二控制晶片之該晶片匯流排介面驅動一第二特別樣型信號至該匯流排；以及

該第一控制晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並栓鎖該匯流排上之信號，該第一控制晶片並比較是否正確接收該第二特別樣型信號。

14.一種晶片匯流排介面的時序調整裝置，係用於調整一第一晶片之該晶片匯流排介面的時序，該晶片匯流排介面耦接至一匯流排，而該匯流排耦接至一第二晶片，該第二晶片亦包括一晶片匯流排介面，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該第一晶片之該晶片匯流排介面時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該第一晶片之該晶片匯流排介面，用以接受該預定時序信號，以在特定之週期時序時，接收該第一晶片之該晶片匯流排介面之一特別樣型信號；

一加減裝置，用以增減一相位調整信號；以及

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

一相位鎖住迴路裝置，耦接至該加減裝置及該第一晶片之該晶片匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該第一晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並驅動該匯流排上之信號，使成為該特別樣型信號；

當在調整該第一晶片之該晶片匯流排介面時，該第一晶片重複複數次增減並送出該相位調整信號，進而使該第一晶片之該晶片匯流排介面重複複數次調整並驅動該匯流排上之信號，並由該第一晶片之該晶片匯流排介面所接收之該特別樣型信號錯誤與否，以獲得該第一晶片之該晶片匯流排介面操作時最佳之該相位調整信號。

15.如申請專利範圍第 14 項所述之晶片匯流排介面的時序調整裝置，其中該第一晶片之該晶片匯流排介面至少包括：

一緩衝器，用以接收、加強並輸出該匯流排上之信號；以及

一栓鎖器，耦接該特別波形產生裝置、該相位鎖住迴路裝置及該緩衝器，用以接收且暫存該緩衝器輸出之該匯流排上之信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出該特別樣型信號。

16.如申請專利範圍第 14 項所述之晶片匯流排介面的時序調整裝置，其中該相位鎖住迴路裝置更接收一 N 信

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

號，用以決定偏移該內部時脈信號一次之相位值。

17. 一種主控制晶片，其經由一匯流排耦接至一僕控制晶片，包括：

一晶片匯流排介面，耦接至該匯流排，用以栓鎖與緩衝該主控制晶片與該僕控制晶片之間的訊號；以及

一時序調整裝置，耦接至該晶片匯流排介面，用以控制該晶片匯流排介面，來調整該主控制晶片組與該匯流排送收訊號時之時序，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該主控制晶片之該晶片匯流排介面的時序時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該主控制晶片之該晶片匯流排介面，用以接受該預定時序信號，以在特定之週期時序時，接收該主控制晶片之該晶片匯流排介面之一特別樣型信號；

一加減裝置，用以增減一相位調整信號；以及

一相位鎖住迴路裝置，耦接至該加減裝置及該主控制晶片之該晶片匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該主控制晶片之該晶片匯流排介面根據該相位偏移時脈信號，以調整並驅動該匯流排上之信號，使成為該特別樣型信號；

當在調整該主控制晶片之該晶片匯流排介面時，該

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

主控制晶片重複複數次增減並送出該相位調整信號，進而使該主控制晶片之該晶片匯流排介面重複複數次調整並驅動該匯流排上之信號，並由該主控制晶片之該晶片匯流排介面所接收之該特別樣型信號錯誤與否，以獲得該主控制晶片之該晶片匯流排介面操作時最佳之該相位調整信號。

18.如申請專利範圍第 17 項所述之主控制晶片，其中該主控制晶片之該晶片匯流排介面至少包括：

一緩衝器，用以接收、加強並輸出該匯流排上之信號；以及

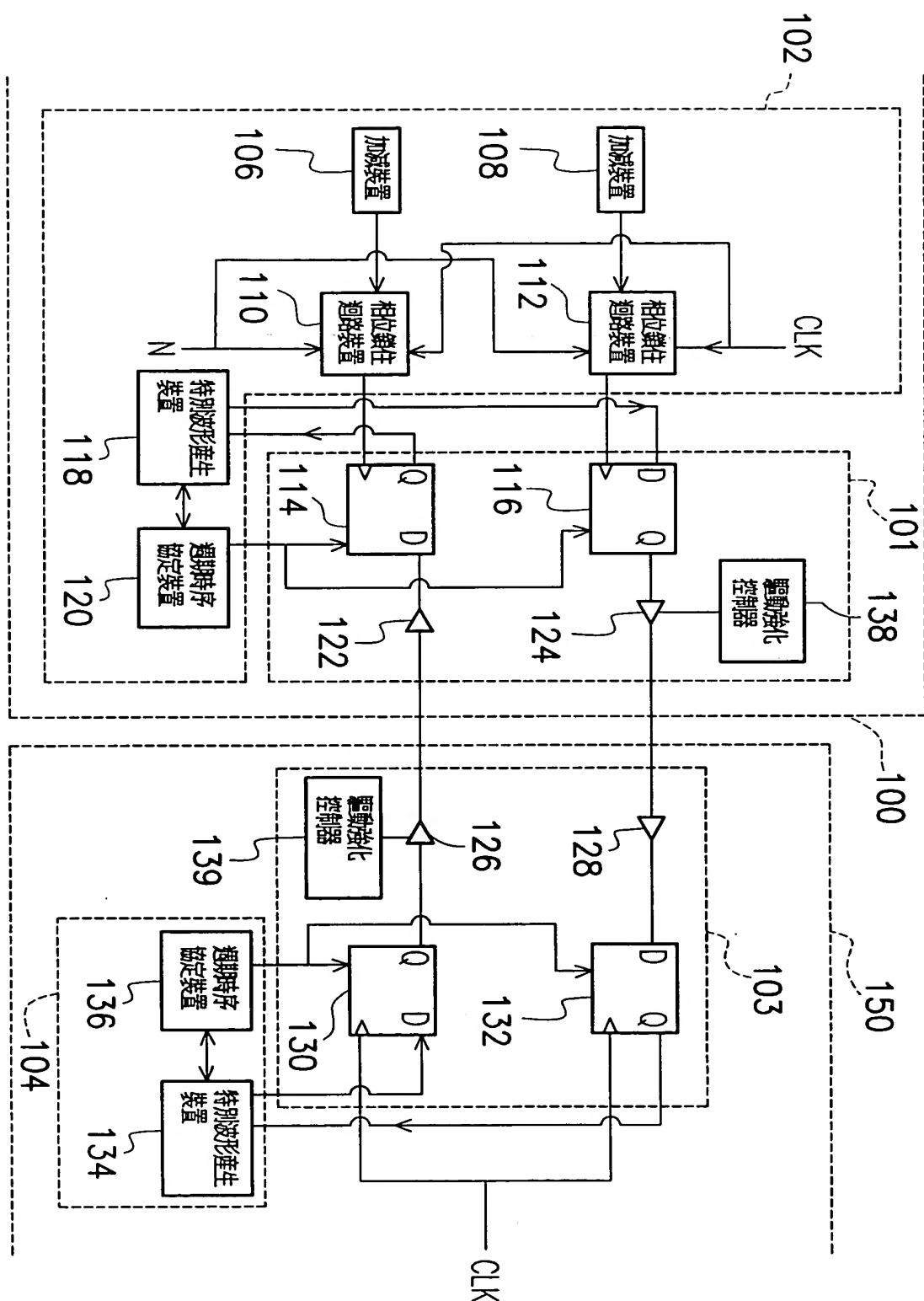
一栓鎖器，耦接該特別波形產生裝置、該相位鎖住迴路裝置及該緩衝器，用以接收且暫存該緩衝器輸出之該匯流排上之信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出該特別樣型信號。

19.如申請專利範圍第 17 項所述之主控制晶片，其中該相位鎖住迴路裝置更接收一 N 信號，用以決定偏移該內部時脈信號一次之相位值。

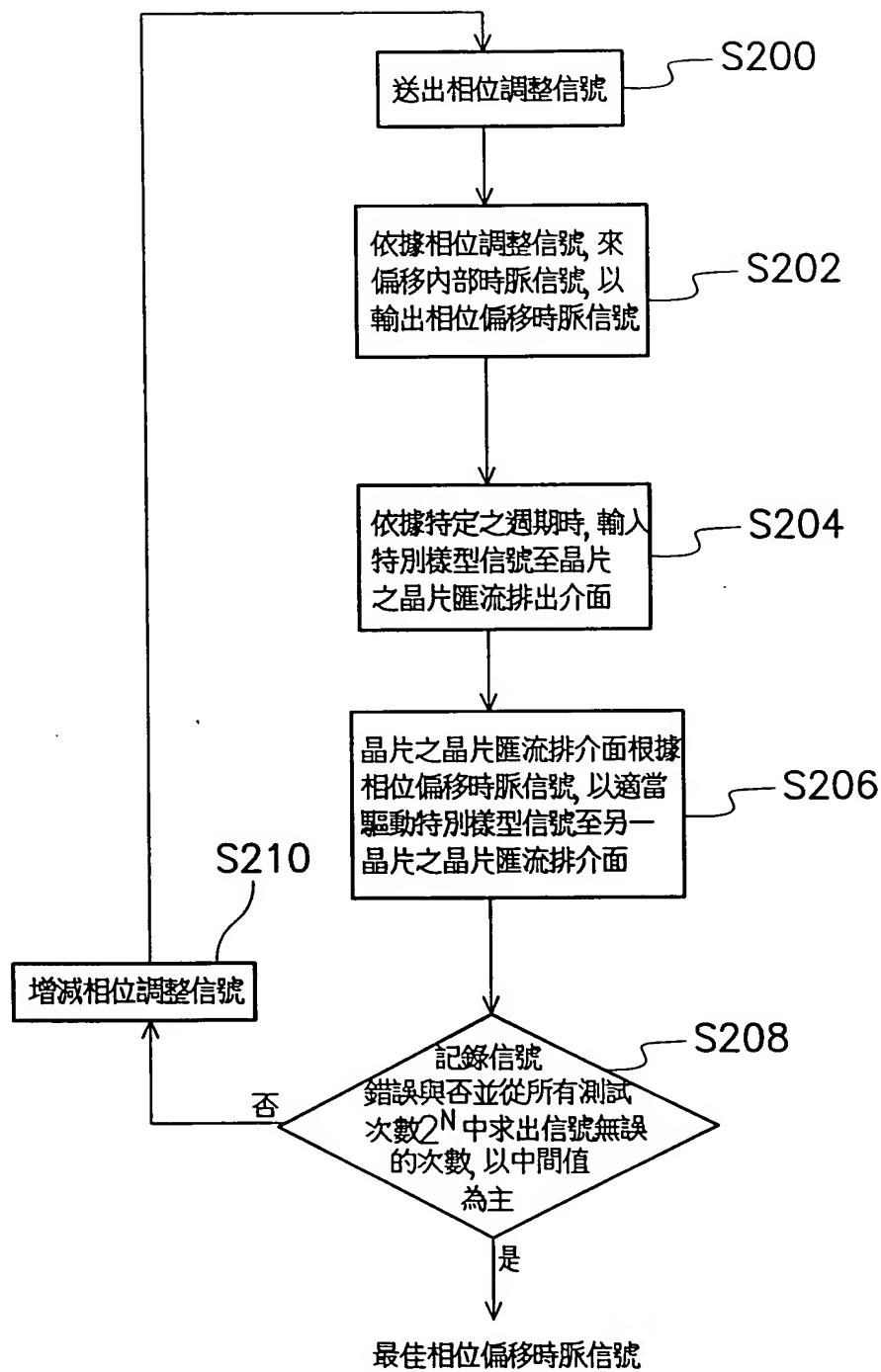
20.如申請專利範圍第 17 項所述之主控制晶片，其中該主控制晶片係為北橋控制晶片，該僕控制晶片係為南橋控制晶片。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



第 1 圖



第 2 圖